

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yutaka KAWASHIMA

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: ASYNCHRONOUS SERIAL DATA RECEIVER FOR PACKET TRANSFER

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e). Application No. Date Filed
- Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-261922	September 6, 2002

Certified copies of the corresponding Convention Application(s)

- are submitted herewith
- will be submitted prior to payment of the Final Fee
- were filed in prior application Serial No. filed
- were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- (B) Application Serial No.(s)
 are submitted herewith
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日本特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application:

2002年 9月 6日

出願番号

Application Number:

特願2002-261922

[ST.10/C]:

[JP2002-261922]

出願人

Applicant(s):

株式会社東芝

2003年 3月28日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3021528

【書類名】 特許願
【整理番号】 ASB026101
【提出日】 平成14年 9月 6日
【あて先】 特許庁長官殿
【国際特許分類】 H04B 1/06
【発明の名称】 シリアルデータ受信回路
【請求項の数】 4
【発明者】
【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝
マイクロエレクトロニクスセンター内
【氏名】 川嶋 裕
【特許出願人】
【識別番号】 000003078
【氏名又は名称】 株式会社 東芝
【代理人】
【識別番号】 100083806
【弁理士】
【氏名又は名称】 三好 秀和
【電話番号】 03-3504-3075
【選任した代理人】
【識別番号】 100068342
【弁理士】
【氏名又は名称】 三好 保男
【選任した代理人】
【識別番号】 100100712
【弁理士】
【氏名又は名称】 岩▲崎▼ 幸邦
【選任した代理人】
【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

【選任した代理人】

【識別番号】 100108707

【弁理士】

【氏名又は名称】 中村 友之

【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 シリアルデータ受信回路

【特許請求の範囲】

【請求項1】 互いに逆相となる第1及び第2の信号の差動出力をシリアル受信データとして出力する差動レシーバと、

クロック信号を出力する位相同期発振器と、

前記クロック信号を前記シリアル受信データによりトラッキングしたクロック同期信号、及び前記クロック同期信号に同期するシリアルデータを出力するトラッキング回路と、

前記第1及び第2の信号が同位相になるとアイドル信号を出力するアイドル検出回路と、

前記クロック同期信号の変化に応じて前記シリアルデータをレジスタに格納し、前記クロック信号の変化に応じて前記格納されたデータを出力するメモリと、

前記シリアルデータの終端の検出から前記アイドル信号の出力が停止されるまで前記メモリを入力禁止状態にするホールド信号を出力するデータ保護回路

とを備えることを特徴とするシリアルデータ受信回路。

【請求項2】 前記データ保護回路は、

前記シリアルデータの終端を検出し、データエンド信号を出力するデータエンド検出回路と、

前記データエンド信号が出力されるタイミングから前記アイドル信号の出力が停止するタイミングまで前記ホールド信号を出力するホールド制御回路

とを備えることを特徴とする請求項1に記載のシリアルデータ受信回路。

【請求項3】 互いに逆相となる第1及び第2の信号の差動出力をシリアル受信データとして出力する差動レシーバと、

クロック信号を出力する位相同期発振器と、

前記クロック信号を前記シリアル受信データによりトラッキングしたクロック同期信号、及び前記クロック同期信号に同期するシリアルデータを出力するトラッキング回路と、

前記第1及び第2の信号が同位相になるとアイドル信号を出力するアイドル検

出回路と、

前記クロック同期信号の変化に応じて前記シリアルデータをレジスタに格納し
、前記クロック信号の変化に応じて前記格納されたデータを出力するメモリと、

前記シリアルデータの終端の検出から前記アイドル信号の出力が停止されるま
で前記クロック同期信号が前記メモリに供給されるのを停止するデータ保護回路
とを備えることを特徴とするシリアルデータ受信回路。

【請求項4】 前記データ保護回路は、

前記シリアルデータの終端を検出し、データエンド信号を出力するデータエン
ド検出回路と、

前記データエンド信号の出力から前記アイドル信号の出力が停止するまで前
記クロック同期信号が前記メモリに供給されるのを停止するクロック制御回路
とを備えることを特徴とする請求項3に記載のシリアルデータ受信回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、シリアルデータ受信回路に係り、特にパケット方式の非同期シリア
ルデータ受信回路に関する。

【0002】

【従来の技術】

従来のシリアルデータ受信回路は、図5に示すように、差動レシーバ201と
、差動レシーバ201の出力端子に接続されたトラッキング回路203と、トラ
ッキング回路203の出力側に接続されたメモリ(FIFO)204と、トラッ
キング回路203及びFIFO204にそれぞれ接続された位相同期発振器20
2とにより構成される。

【0003】

図5に示す従来のシリアルデータ受信回路は、入力端子251から入力信号S
1を、入力端子252から入力信号S2を入力する。次に、差動レシーバ201
は入力信号S1, S2を入力し、2つの入力信号の差動信号であるシリアル受信
データRXを出力端子から出力する。また、位相同期発振器202は、位相の安

定したクロック信号CKRを出力する。次に、トラッキング回路203はクロック信号CKRとシリアル受信データRXを入力し、シリアル受信データRXの変化に合わせてトラッキングしたクロック同期信号CKW及びシリアルデータDXを出力する。次に、FIFO204は、クロック同期信号CKWの変化に応じてシリアルデータDXを内部レジスタに格納し、同時にライトアドレスポインタをカウントアップする。次に、FIFO204はクロック信号CKRに同期してリードアドレスポインタをカウントアップしながら格納データを出力端子253から出力する。

【0004】

【発明が解決しようとする課題】

図5に示すシリアルデータ受信回路のようにデータ転送に差動方式を用いていいる場合、図6（a）に示すように、時刻T100と時刻T101との間、2つの入力信号が逆相状態から同相状態に移行するときにリングノイズが発生する場合がある。このリングノイズの影響により、図6（b）に示すように、シリアル受信データRXにノイズが重畠することがある。シリアル受信データRXにノイズが重畠した場合、トラッキング回路203は、図6（c）に示すように、パルス間隔の狭い狭クロック信号を出力する場合がある。FIFO204のライトアドレスカウンタはクロック同期信号CKWによってカウントアップしているため、狭クロック信号が出力されるとライトアドレスカウンタが正常に動作しないことがある。すなわち、実際に格納されるデータとライトアドレスポインタ値にずれが生じ、ライトアドレスポインタの示す位置がずれてしまうという問題があった。

【0005】

本発明の目的は、シリアル受信データRXにノイズが重畠することによりクロック同期信号CKWのクロック間隔が変化しても、FIFO204に格納されるシリアルデータとライトアドレスポインタ値の対応関係を維持することが可能なシリアルデータ受信回路を提供することである。

【0006】

【課題を解決するための手段】

上記目的を達成するために、本発明の特徴は、互いに逆相となる第1及び第2の信号の差動出力をシリアル受信データとして出力する差動レシーバと、クロック信号を出力する位相同期発振器と、クロック信号をシリアル受信データによりトラッキングしたクロック同期信号、及びクロック同期信号に同期するシリアルデータを出力するトラッキング回路と、第1及び第2の信号が同位相になるとアイドル信号を出力するアイドル検出回路と、クロック同期信号の変化に応じてシリアルデータをレジスタに格納し、クロック信号の変化に応じてレジスタに格納されたデータを出力するメモリと、シリアルデータの終端の検出からアイドル信号の出力が停止されるまでメモリを入力禁止状態にするホールド信号を出力するデータ保護回路とを備えることを要旨とする。

【0007】

本発明の特徴によれば、シリアル受信データにノイズが重畠することによりクロック同期信号のクロック間隔が変化しても、FIFOに格納されるシリアルデータとライトアドレスポインタ値の対応関係を維持することが可能なシリアルデータ受信回路を提供できる。

【0008】

【発明の実施の形態】

次に、図面を参照して本発明の第1及び第2の実施の形態を説明する。以下の図面の記載において、同一または類似の部分には同一または類似の符号を付している。

【0009】

(第1の実施の形態)

本発明の第1の実施の形態に係るシリアルデータ受信回路10aは、図1に示すように、第1の信号S1及び第2の信号S2が逆相のとき、第1の信号S1及び第2の信号S2の差動出力をシリアル受信データRXとして出力する差動レシーバ1と、クロック信号CKRを出力する位相同期発振器2と、クロック信号CKRをシリアル受信データRXによりトラッキングしたクロック同期信号CKW、及びクロック同期信号CKWに同期するシリアルデータDXを出力するトラッキング回路3と、第1の信号S1及び第2の信号S2が同位相になるとアイドル

信号I Sを出力するアイドル検出回路5と、クロック同期信号C K Wの変化に応じてシリアルデータD Xをレジスタに格納し、クロック信号C K Rの変化に応じてシリアルデータD Xを出力するF I F O 4と、シリアルデータD Xの終端の検出からアイドル信号I Sの出力が停止されるまでF I F O 4を入力禁止状態にするホールド信号H Sを出力するデータ保護回路9 aとを備える。

【0010】

データ保護回路9 aは、シリアルデータD Xの終端を検出しデータエンド信号E Sを出力するデータエンド検出回路6と、データエンド信号E Sが出力されるタイミングからアイドル信号I Sの出力が停止するタイミングまでホールド信号H Sを出力するホールド制御回路7とを備える。

【0011】

差動レシーバ1の第1の入力端子は信号入力端子5 1に、第2の入力端子は信号入力端子5 2にそれぞれ電気的に接続される。また、アイドル検出回路の第1の入力端子は信号入力端子5 1に、第2の入力端子は信号入力端子5 2にそれぞれ電気的に接続される。差動レシーバ1の出力側はトラッキング回路3の第1の入力側に電気的に接続される。トラッキング回路3の第1の出力側はF I F O 4の入力側及びデータエンド回路の入力側にそれぞれ電気的に接続される。トラッキング回路3の第2の出力側はF I F O 4のライト制御端子に電気的に接続される。位相同期発振器2の出力側はトラッキング回路3の第2の入力側及びF I F O 4のリード制御端子にそれぞれ電気的に接続される。データエンド回路6の出力側はホールド制御回路7の第1の入力側に電気的に接続される。アイドル検出回路5の出力側はホールド制御回路の第2の入力側に電気的に接続される。ホールド制御回路7の出力側はF I F O 4のホールド端子に電気的に接続される。F I F O 4の出力側は出力端子5 3に電気的に接続される。

【0012】

本発明の第1の実施の形態に係るシリアルデータ受信回路10 aの動作を、図2を用いて説明する。ただし、図2 (a) に示すように、ここで用いるシリアルデータD Xは、スタートデータS Y 1、受信情報D A T A 1、及びエンドデータE P 1を含むパケットデータP D 1である。スタートデータS Y 1とは、データ

の読み出し開始位置を指定するデータであり、エンドデータEP1は、データの読み出し終了位置を指定するデータである。スタートデータSY1、受信情報DAT A1、エンドデータEP1は互いに逆相となる第1の信号S1及び第2の信号S2からなる信号群のことを意味している。互いに逆相となる第1の信号S1と第2の信号S2は、差動状態で動作する信号のことを言う。ここでは、図2(a)で示すパケットデータPD1は、信号群を時間軸に対して機能別に分類したものと模式的に表現したものである。また、パケットデータPD1には冗長なデータが付加される可能性があるが、ここでは冗長なデータは付加されないとして説明する。

【0013】

(イ) 先ず、時刻t1において、シリアルデータ受信回路10aは、互いに逆相の第1の信号S1と第2の信号S2からなる信号群である第1のパケットデータPD1を受信する。第1の信号S1と第2の信号S2はそれぞれ差動レシーバ1の第1の入力端子と第2の入力端子に入力される。次に、差動レシーバ1は、出力端子から第1の信号S1と第2の信号S2の差動信号をシリアル受信データRXとして出力する。トラッキング回路3は、入力されたシリアル受信データRXによりクロック信号CKRをトラッキングしたクロック同期信号CKWと、クロック同期信号CKWに同期するシリアルデータDXを出力する。また、互いに逆相である第1の信号S1と第2の信号S2が入力されると、図2(b)に示すように、アイドル検出回路5はローレベル信号を出力する。時刻t1以降、第1のパケットデータPD1の受信が終了するまでの間、 FIFO4は、クロック同期信号CKWの変化に応じてライトアドレスポインタをカウントアップしながらシリアルデータDXを順にレジスタに格納する。また、FIFO4は、クロック信号CKRの変化に応じてリードアドレスポインタをカウントアップしながら、レジスタに格納されたデータを出力端子53に出力する。

【0014】

(ロ) 次に、時刻t2において、シリアルデータRXのエンドデータEP1の受信が終了すると、データエンド検出回路6はデータエンド信号ESを出力する。ただし、データエンド信号ESは、図2(c)に示すように、ワンショットパ

ルス信号として説明している。ホールド制御回路7は、図2（e）に示すように、データエンド信号E Sが出力されるタイミングでFIFO4にホールド信号H Sを出力する。FIFO4は、ホールド信号H Sが入力されると入力禁止状態に移行し、ライトアドレスポインタの現状のカウント値を維持する。また、アイドル検出回路5はハイレベル信号となりアイドル信号I Sを出力する。

【0015】

(ハ) 次に、時刻t3において、第2のパケットデータPD2が入力されると、図2（b）に示すように、アイドル検出回路5はアイドル信号I Sの出力を停止しローレベルとなる。アイドル検出回路5の出力がローレベルになると、ホールド制御回路7は、ホールド信号H Sの出力を停止し、FIFO4への入力禁止状態を解除する。

【0016】

本発明の第1の実施の形態に係るシリアルデータ受信回路10aによれば、シリアル受信データRXにノイズが重畠することによりクロック同期信号CKWのクロック間隔が変化しても、FIFO4に格納されるシリアルデータDXとライトアドレスポインタ値の対応関係を維持することが可能となる。

【0017】

(第2の実施の形態)

本発明の第2の実施の形態に係るシリアルデータ受信回路10bのデータ保護回路9bは、図3に示すように、図1に示すホールド制御回路7をクロック制御回路8としている点で異なる。レジスタ保持制御部がFIFO4のホールド端子に接続されたのに対し、クロック制御回路8は、トラッキング回路3の第2の出力端子とFIFO4のクロック端子との間に接続されている。

【0018】

本発明の第2の実施の形態に係るシリアルデータ受信回路10bの動作を図4を用いて説明する。

【0019】

(イ) 先ず、時刻t1において、シリアルデータ受信回路10bは、互いに逆相となる第1の信号S1と第2の信号S2からなる信号群である第1のパケットデ

ータPD1を受信する。第1の入力S1は第1の入力端子に、第2の信号S2は第2の入力端子に入力される。次に、差動レシーバ1は、出力端子から第1の信号S1と第2の信号S2の差動信号をシリアル受信データRXとして出力する。トラッキング回路3は、シリアル受信データRXによりクロック信号CKRをトラッキングしたクロック同期信号CKW1と、クロック同期信号CKW1に同期するシリアルデータDXを出力する。また、互いに逆相である第1の信号S1と第2の信号S2が入力されると、図4(b)に示すように、アイドル検出回路5はローレベル信号を出力する。時刻t1以降、第1のパケットデータPD1の受信が終了するまでの間、クロック制御回路8は、図4(e)に示すように、クロック同期信号CKW1をそのまま第2のクロック同期信号CKW2として出力する。FIFO4は、第2のクロック同期信号CKW2の変化に応じてライトアドレスポインタをカウントアップしながらシリアルデータDXを順にレジスタに格納する。また、FIFO4は、クロック信号CKRの変化に応じてリードアドレスポインタをカウントアップしながら、レジスタに格納されたデータを出力端子53に出力する。

【0020】

(口) 次に、時刻t2において、シリアルデータRDのエンドデータEP1の受信が終了すると、データエンド検出回路6はデータエンド信号ESを出力する。ただし、データエンド信号ESは、ワンショットパルス信号として説明している。クロック制御回路8は、データエンド信号ESが出力されるタイミングで、図4(e)に示すように、第2のクロック同期信号CKW2の出力を停止する。第2のクロック同期信号CKW2の出力が停止すると、FIFO4はライトアドレスポインタの現状のカウント値を維持する。また、アイドル検出回路5はハイレベルとなりアイドル信号ISを出力する。

【0021】

(ハ) 次に、時刻t3において、第2のパケットデータPD2が入力されると、図4(b)に示すように、アイドル検出回路5はアイドル信号ISの出力を停止しローレベルとなる。アイドル検出回路5の出力がローレベルになると、クロック制御回路8は再び第2のクロック同期信号を出力する。

【0022】

本発明の第2の実施の形態に係るシリアルデータ受信回路10bによれば、シリアル受信データRXにノイズが重畠することによりクロック同期信号CKW1のクロック間隔が変化しても、FIFO4に格納されるシリアルデータとライトアドレスポインタ値の対応関係を維持することが可能となる。

【0023】**(その他の実施の形態)**

上記のように、本発明は第1～第2の実施の形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

【0024】

既に述べた第1及び第2の実施の形態の説明においては、位相同期発振器2はPLLを用いることが好適であるが、安定した位相が得られる発振源であればこれに限定されない。

【0025】

また、図1及び図3で示すFIFO4は、先入れ先出しメモリであるとして説明しているが、ライトアドレス及びリードアドレスを別々に且つ同時に制御可能なメモリを用いることも可能である。

【0026】

このように、本発明はここでは記載していない様々な実施の形態等を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

【0027】**【発明の効果】**

本発明によれば、シリアル受信データにノイズが重畠することによりクロック同期信号CKWのクロック間隔が変化しても、FIFOに格納されるシリアルデータとライトアドレスポインタ値の対応関係を維持することが可能なシリアルデータ受信回路及び半導体集積回路を提供することができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態に係るシリアルデータ受信回路を説明する図である

【図2】

本発明の第1の実施の形態に係るシリアルデータ受信回路の動作タイミングチャートを説明する図である。

【図3】

本発明の第2の実施の形態に係るシリアルデータ受信回路を説明する図である

【図4】

本発明の第3の実施の形態に係るシリアルデータ受信回路を説明する図である

【図5】

従来のシリアルデータ受信回路について説明する図である。

【図6】

従来のシリアルデータ受信回路の動作タイミングチャートを説明する図である

【符号の説明】

- 1, 201 … 差動レシーバ
- 2, 202 … 位相同期発振器
- 3, 203 … ト racking 回路
- 4 … メモリ
- 5 … アイドル検出回路
- 6 … データエンド検出回路
- 7 … ホールド制御回路
- 8 … クロック制御回路
- 10a, 10b … シリアルデータ受信回路
- CKR … クロック信号

C K W … クロック同期信号

D X …シリアルデータ

E S …データエンド信号

H S …ホールド信号

I S …アイドル信号

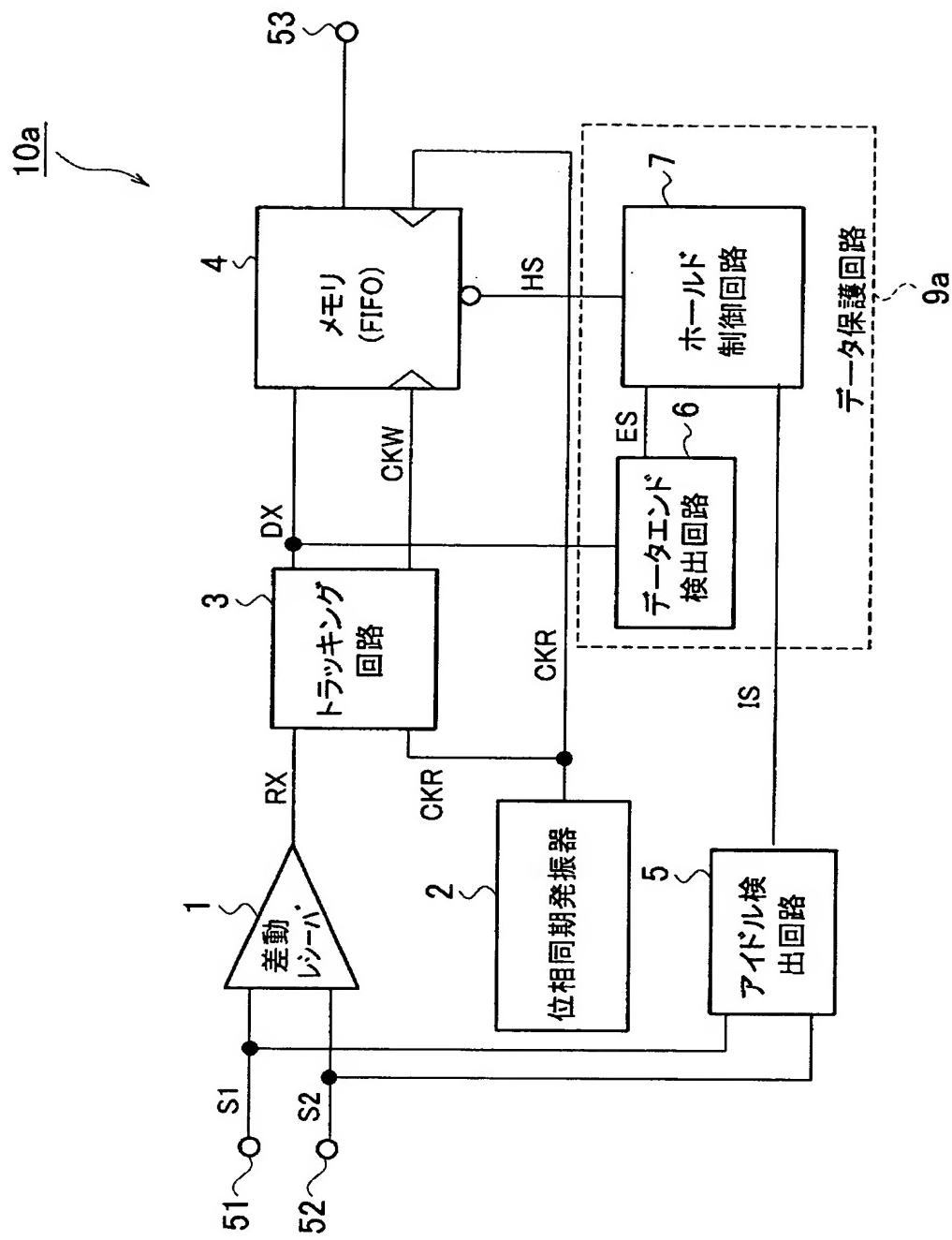
R X …シリアル受信データ

S 1 …第1の信号

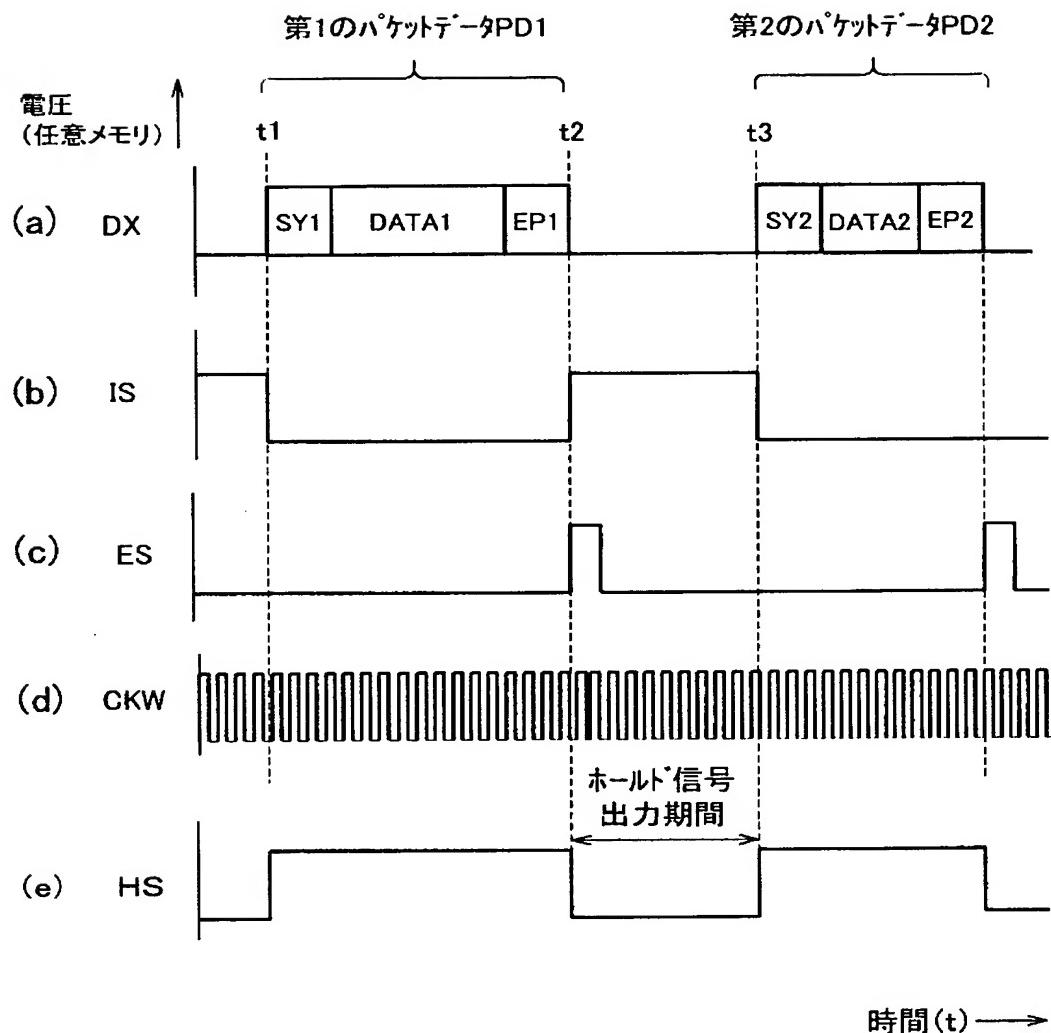
S 2 …第2の信号

【書類名】 図面

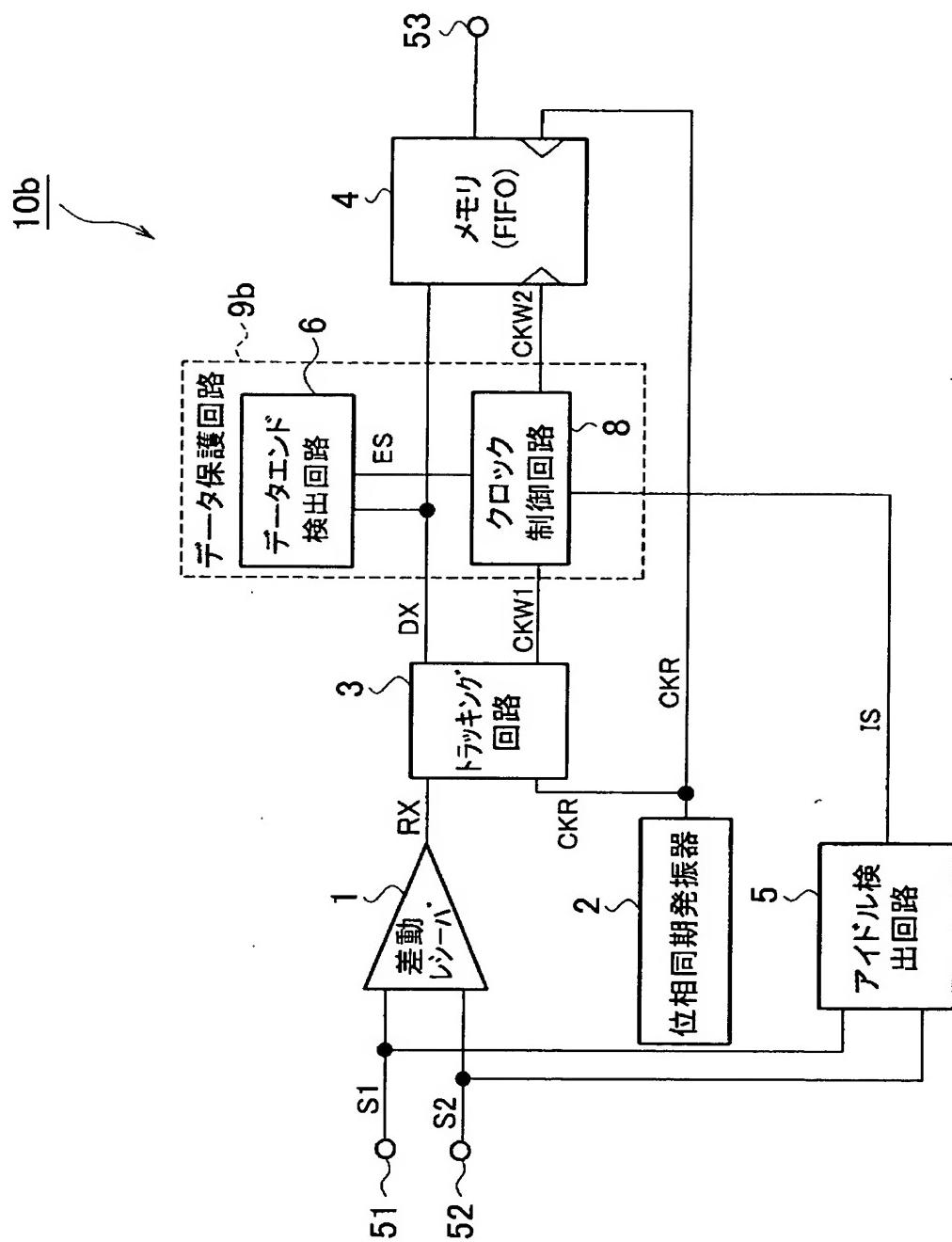
【図1】



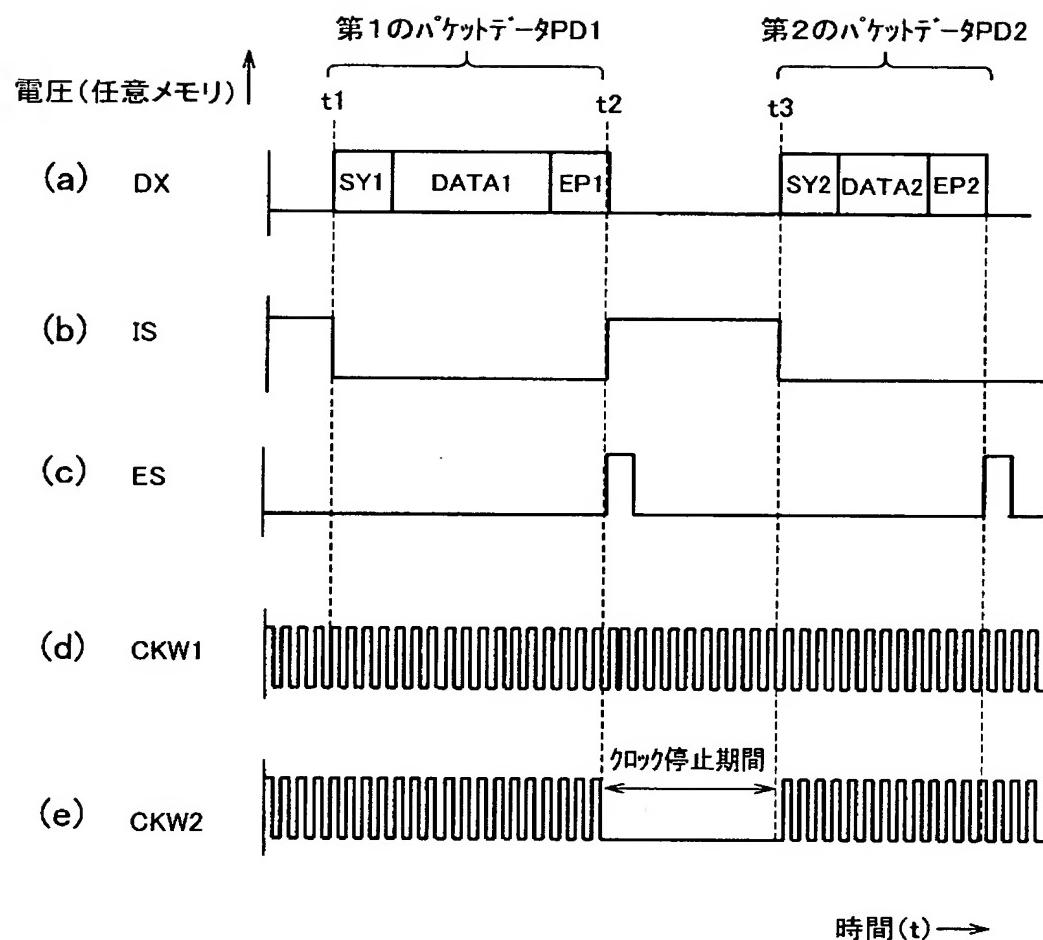
【図2】



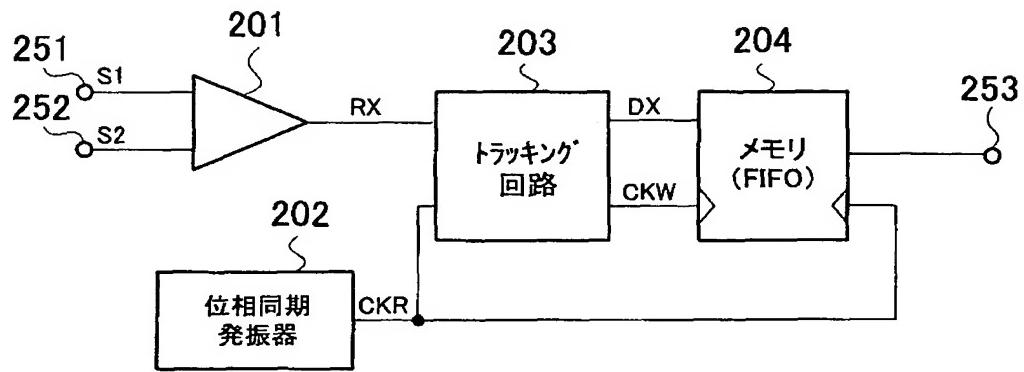
【図3】



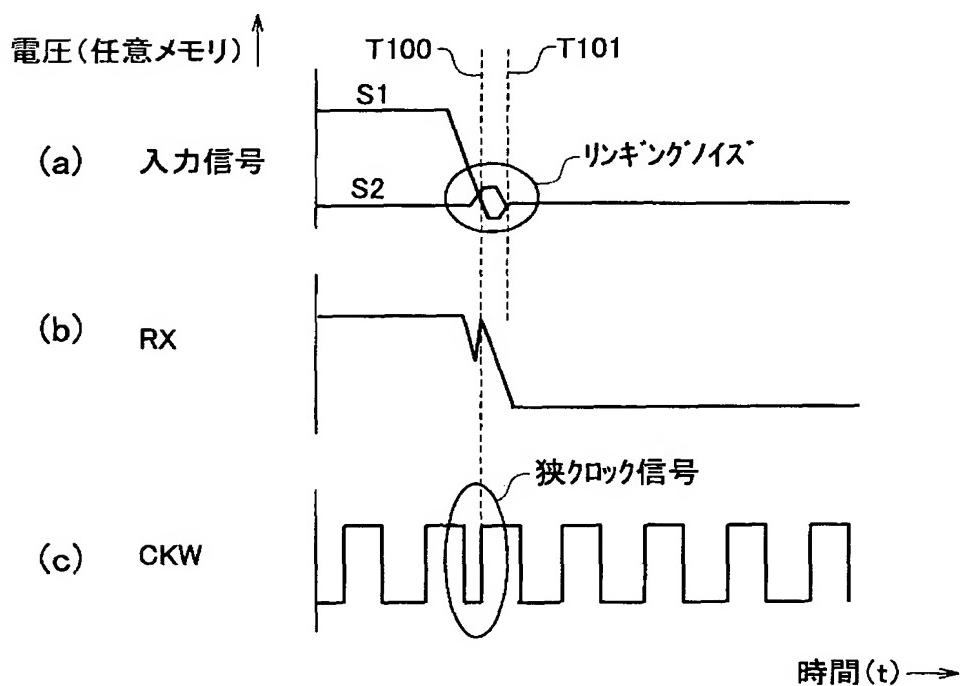
【図4】



【図5】



【図6】



【書類名】 要約書

【要約】

【課題】 シリアル受信データにノイズが重畠することによりクロック同期信号のクロック間隔が変化しても、FIFOに格納されるシリアルデータとライトアドレスポインタ値の対応関係を維持することが可能なシリアルデータ受信回路を得る。

【解決手段】 差動レシーバ1から出力されるシリアル受信データRX、位相同期発振器2から出力されるクロック信号CKRをシリアル受信データRXによりトラッキングしたクロック同期信号CKW及びシリアルデータDXを出力する。データエンド信号ESがデータエンド検出回路6より出力されるタイミングからアイドル検出回路5より出力されるアイドル信号ISの供給が停止されるまでホールド信号HSを出力し、FIFO4への書き込みを禁止する。

【選択図】 図1

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号

氏 名 株式会社東芝